

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004446

International filing date: 14 March 2005 (14.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-084149
Filing date: 23 March 2004 (23.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 2 3 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 8 4 1 4 9

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 0 8 4 1 4 9

出 願 人
Applicant(s): ローム株式会社

2 0 0 5 年 4 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	PR300552
【提出日】	平成16年 3月23日
【あて先】	特許庁長官 殿
【国際特許分類】	H01L 27/04 H02M 3/155
【発明者】	
【住所又は居所】	京都市右京区西院溝崎町2-1番地 ローム株式会社内
【氏名】	沖 宏一
【発明者】	
【住所又は居所】	京都市右京区西院溝崎町2-1番地 ローム株式会社内
【氏名】	井手 雄三
【特許出願人】	
【識別番号】	000116024
【氏名又は名称】	ローム株式会社
【代理人】	
【識別番号】	100085501
【弁理士】	
【氏名又は名称】	佐野 静夫
【手数料の表示】	
【予納台帳番号】	024969
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0113515

【書類名】 特許請求の範囲

【請求項 1】

第 1 の電源電圧で動作する入力回路につながる外部入力配線と、該入力配線に隣接するとともに第 1 の電源電圧よりも高い第 2 の電源電圧で動作するスイッチ素子の出力につながる外部出力配線とを有する半導体集積回路装置において、

前記入力配線に基準電圧よりも高い電圧が入力されたことを検出して、前記入力配線に隣接する前記出力配線につながる前記スイッチ素子の出力を禁止するようにしたことを特徴とする半導体集積回路装置。

【請求項 2】

スイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する出力部と、電圧入力端子に外部から入力される電圧が基準電圧よりも高いときには前記スイッチ素子を開放するように制御可能な制御部とを備える半導体集積回路装置であって、

前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とする半導体集積回路装置。

【請求項 3】

直流電圧をスイッチ素子でスイッチングしたパルス電圧を電圧出力端子から装置外部の平滑回路へ出力する出力部と、電圧入力端子に外部から入力される前記平滑回路の出力電圧に基づく帰還電圧と基準電圧とが一致するように前記スイッチ素子を制御する制御部とを備える半導体集積回路装置であって、

前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とする半導体集積回路装置。

【請求項 4】

スイッチ素子を介して所定の電圧を電圧出力端子から電圧出力線を通じて装置外部へ出力する出力部と、前記電圧出力線または前記電圧出力端子に隣接した位置に配置された信号入力線または信号入力端子に外部から入力される制御信号に基づいて所定の制御を行う制御部とを備える半導体集積回路装置において、

前記信号入力線または前記信号入力端子に基準電圧よりも高い電圧が入力されたことを検出し電圧検出信号を前記出力部に与える電圧検出部を設け、前記出力部は前記電圧検出信号が与えられたときには前記スイッチ素子を開放することを特徴とする半導体集積回路装置。

【請求項 5】

前記出力部は、

前記スイッチ素子を駆動するための駆動信号を生成する駆動回路と、

前記駆動信号と前記電圧検出信号との論理積をとってその出力を前記スイッチ素子の制御端子に与える論理ゲートと、

を備えることを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 6】

前記電圧検出部は、

前記信号入力端子の電圧が基準電圧よりも高いときに通電する第 1 のトランジスタと、

第 1 のトランジスタとともにカレントミラー回路を構成する第 2 のトランジスタと、

を備え、第 2 のトランジスタをプルアップしている抵抗と第 2 のトランジスタとの接続ノードから前記電圧検出信号を出力することを特徴とする請求項 4 または請求項 5 に記載の半導体集積回路装置。

【請求項 7】

外部制御装置から与えられる出力制御信号に基づいて閉成／開放されるスイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する出力部と、外部からリセット入力信号が入力されるリセット入力端子と、前記リセット入力信号の電圧が基準電圧よりも高いときに前記外部制御装置の前記出力制御信号の出力動作を停止させるリセット出力信号を前記外部制御装置に与える制御部とを備える半導体集積回路装置であって、

前記リセット入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とする

半導体集積回路装置。

【請求項 8】

前記スイッチ素子の素子耐圧は、前記制御部の素子耐圧よりも高いことを特徴とする請求項 1～請求項 7 のいずれかに記載の半導体集積回路装置。

【請求項 9】

請求項 3 に記載の半導体集積回路装置を用いたことを特徴とするスイッチング電源装置。
。

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びそれを用いたスイッチング電源装置

【技術分野】

【０００１】

本発明は、半導体集積回路装置及びそれを用いたスイッチング電源装置に関するものであり、特に、スイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する半導体集積回路装置及びそれを用いたスイッチング電源装置に関するものである。

【背景技術】

【０００２】

図６は従来の半導体集積回路装置の構成を概略的に示す回路ブロック図である。図６において、９０は半導体集積回路装置（以後、ＩＣ(Integrated Circuit)という)であり、ＩＣ９０は電圧 V_{out} が出力される電圧出力端子９１と、制御信号 S_0 が入力される信号入力端子９２と、直流電源 V_{pp} （電圧は、例えば、５０Ｖ）と電圧出力端子９１との間に接続されているＰチャンネル型のＭＯＳ(Metal Oxide Semiconductor)トランジスタ９３と、接続端子９８を介して外部から与えられる信号に基づいてＭＯＳトランジスタ９３を駆動する駆動回路９７と、制御信号 S_0 に基づいて所定の制御を行う制御部９４とから構成されている。ＭＯＳトランジスタ９３のドレインは直流電源 V_{pp} に接続され、ソースは電圧出力端子９１に接続され、ゲートは駆動回路９７に接続されている。

【０００３】

また、制御部９４は、制御信号 S_0 を増幅して内部制御回路９６に与えるＮＰＮトランジスタ９５を有しており、ＮＰＮトランジスタ９５のベースは信号入力端子９２に接続され、コレクタは内部制御回路９６に接続され、エミッタはグランドに接続されている。そして、制御信号 S_0 の $H(High)$ レベル／ $L(Low)$ レベルに応じてＮＰＮトランジスタ９５がオン／オフすることにより、制御信号 S_0 が内部制御回路９６に伝えられ、それに応じて内部制御回路９６は所定の制御を行い、その制御出力は接続端子９９を介して外部へ出力される。尚、制御部９４の耐圧は、例えば、７Ｖに設定されている。

【０００４】

このような構成のＩＣ９０を基板にハンダ付けして実装する場合で、電圧出力端子９１と信号入力端子９２とがＩＣ９０のパッケージの外周部に互いに隣接するように配置されている場合には、電圧出力端子９１と信号入力端子９２との間にハンダブリッジが発生することがある。或いは、長期間使用している間にゴミ等の異物が電圧出力端子９１と信号入力端子９２との間に挟まる場合もある。そして、その異物が導電性を有している場合や、ハンダブリッジが発生した場合等、即ち、電圧出力端子９１と信号入力端子９２との間が異物やハンダブリッジ等の導電体８０により略短絡状態になった場合、ＭＯＳトランジスタ９３がオンすると、高電圧（例えば、５０Ｖ）が信号入力端子９２を介してＮＰＮトランジスタ９５を含む制御部９４に印加されることになり、低耐圧（例えば、７Ｖ）素子で構成されている制御部９４は電圧破壊されてしまう可能性がある。

【０００５】

このような短絡事故が発生しても、制御部９４が破壊されることを防止するためには、制御部９４の耐圧を直流電源 V_{pp} の電圧以上に上げるか、信号入力端子９２にツェナーダイオード等の電圧クランプ素子１００を取り付けて、制御部９４に印加される電圧が所定の電圧以上にならないようにクランプして過電圧保護をすれば良い。

【０００６】

また、高電圧を検出したときに、出力用トランジスタのゲートに供給される信号電圧の昇圧を停止して出力用トランジスタの破壊防止を図ったものもある（例えば、特許文献１参照）。

【特許文献１】 特開２０００－３５９１号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

しかしながら、制御部 9 4 の耐圧を直流電源 V_{pp} の電圧以上に上げるためには、制御部 9 4 を構成する素子を全て耐圧の高い素子にする必要があり、コストの上昇を招くという問題があった。また、信号入力端子 9 2 にツェナーダイオード等の電圧クランプ素子 1 0 0 を取り付けると、制御部 9 4 が破壊されることは防止できるが、MOS トランジスタ 9 3 から導電体 8 0 を介して電圧クランプ素子 1 0 0 に流れる電流を制限する機能を設けなければ、その電流により MOS トランジスタ 9 3 や導電体 8 0 を含む短絡経路の配線等が発熱して IC 9 0 そのものが破壊されたり、IC 9 0 を実装する基板等が発煙、発火したりするという問題があった。更に、電流制限機能を設けたとしても、IC 9 0 は発煙、発火には至らないまでも発熱するし、無駄な消費電力が発生する。

【0008】

また、特許文献 1 に記載の従来技術では、電源電圧が高電圧に変化した場合における出力用トランジスタの破壊を防止することはできるが、高電圧に設定されている電源電圧のもとで、出力端子が隣接する端子と略短絡状態になって出力用トランジスタから出力される電圧が、隣接する端子に接続された制御回路等に印加されることにより、その制御回路等が破壊されることを防止することはできないという問題があった。

【0009】

本発明は、上記の問題点に鑑み、スイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する半導体集積回路装置及びそれを用いたスイッチング電源装置であって、前記電圧出力端子が隣接する端子と短絡した場合であっても破壊されることのない信頼性の高い半導体集積回路装置及びそれを用いたスイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために本発明は、第 1 の電源電圧で動作する入力回路につながる外部入力配線と、該入力配線に隣接するとともに第 1 の電源電圧よりも高い第 2 の電源電圧で動作するスイッチ素子の出力につながる外部出力配線とを有する半導体集積回路装置において、前記入力配線に基準電圧よりも高い電圧が入力されたことを検出して、前記入力配線に隣接する前記出力配線につながる前記スイッチ素子の出力を禁止するようにしたことを特徴とするものである。この構成によると、前記入力配線と出力配線とが外部で略短絡状態になった場合に、前記入力回路に第 2 の電源電圧が印加されないようにすることができる。

【0011】

また、本発明は、スイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する出力部と、電圧入力端子に外部から入力される電圧が基準電圧よりも高いときには前記スイッチ素子を開放するように制御可能な制御部とを備える半導体集積回路装置であって、前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とするものである。この構成によると、前記電圧出力端子が隣接する前記電圧入力端子と外部で略短絡状態になった場合に、前記電圧出力端子から前記電圧入力端子に印加される電圧が前記基準電圧よりも高くなることを防止することができる。

【0012】

また、本発明は、直流電圧をスイッチ素子でスイッチングしたパルス電圧を電圧出力端子から装置外部の平滑回路へ出力する出力部と、電圧入力端子に外部から入力される前記平滑回路の出力電圧に基づく帰還電圧と基準電圧とが一致するように前記スイッチ素子を制御する制御部とを備える半導体集積回路装置であって、前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とするものである。この構成によると、前記電圧出力端子が隣接する前記電圧入力端子と外部で略短絡状態になった場合に、前記電圧出力端子から前記電圧入力端子に印加されるパルス電圧が前記基準電圧よりも高くなることを防止することができる。

【0013】

また、本発明は、スイッチ素子を介して所定の電圧を電圧出力端子から電圧出力線を通

じて装置外部へ出力する出力部と、前記電圧出力線または前記電圧出力端子に隣接した位置に配置された信号入力線または信号入力端子に外部から入力される制御信号に基づいて所定の制御を行う制御部とを備える半導体集積回路装置において、前記信号入力線または前記信号入力端子に基準電圧よりも高い電圧が入力されたことを検出し電圧検出信号を前記出力部に与える電圧検出部を設け、前記出力部は前記電圧検出信号が与えられたときには前記スイッチ素子を開放することを特徴とするものである。この構成によると、前記電圧出力線または電圧出力端子が、隣接する前記信号入力線または信号入力端子と外部で略短絡状態になった場合に、前記電圧出力線または電圧出力端子から前記電圧入力線または電圧入力端子に印加される電圧が前記基準電圧よりも高くなることを防止することができる。

【0014】

また、例えば、前記出力部は、前記スイッチ素子を駆動するための駆動信号を生成する駆動回路と、前記駆動信号と前記電圧検出信号との論理積をとってその出力を前記スイッチ素子の制御端子に与える論理ゲートとを備えると良い。この構成によると、前記電圧検出信号が与えられていないときには前記スイッチ素子を前記駆動回路からの駆動信号に応じて閉成／開放することができ、前記電圧検出信号が与えられたときには前記駆動回路からの駆動信号に拘わらず前記スイッチ素子を開放することができる。

【0015】

また、例えば、前記電圧検出部は、前記信号入力端子の電圧が基準電圧よりも高いときに通電する第1のトランジスタと、第1のトランジスタとともにカレントミラー回路を構成する第2のトランジスタとを備え、第2のトランジスタをプルアップしている抵抗と第2のトランジスタとの接続ノードから前記電圧検出信号を出力すると良い。この構成によると、前記信号入力端子の電圧に応じて前記抵抗と第2のトランジスタとの接続ノードの電圧を変化させ、この変化した電圧を前記電圧検出信号とすることにより、簡単な構成で前記信号入力端子の電圧が基準電圧より高くなったことを検出することができる。

【0016】

また、本発明は、外部制御装置から与えられる出力制御信号に基づいて閉成／開放されるスイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する出力部と、外部からリセット入力信号が入力されるリセット入力端子と、前記リセット入力信号の電圧が基準電圧よりも高いときに前記外部制御装置の前記出力制御信号の出力動作を停止させるリセット出力信号を前記外部制御装置に与える制御部とを備える半導体集積回路装置であって、前記リセット入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とするものである。この構成によると、前記電圧出力端子が隣接する前記リセット入力端子と外部で略短絡状態になった場合であっても、前記外部制御装置をリセットして前記外部制御信号の出力動作を停止させることにより、前記電圧出力端子から前記リセット入力端子に印加される電圧が前記基準電圧よりも高くなることを防止することができる。

【0017】

また、例えば、前記スイッチ素子の素子耐圧は、前記制御部の素子耐圧よりも高いと、前記スイッチ素子を介して前記制御部の素子耐圧を超える電圧を出力することができる。

【0018】

また、例えば、前記半導体集積回路装置を用いたスイッチング電源装置にすると、スイッチングされたパルス電圧が出力される電圧出力端子が半導体集積回路装置の制御部に接続された隣接する端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることが防止できる。

【発明の効果】

【0019】

本発明によると、互いに隣接する前記入力配線と出力配線とが外部で略短絡状態になった場合であっても、前記入力回路に第2の電源電圧が印加されないので、第2の電源電圧が前記入力回路の耐圧を超える場合であっても、前記入力回路の耐圧を上げたり、過電圧保護を図ったりすることなく、前記入力回路が電圧破壊されることを防止することができる。

、コストを増大させることなく信頼性を向上した半導体集積回路装置を実現することができる。

【0020】

また、本発明によると、前記電圧出力端子が、前記制御部につながり隣接する前記電圧入力端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記所定の電圧が前記制御部の耐圧を超える場合であっても、前記制御部の耐圧を上げることなく、また、前記電圧入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性を向上した半導体集積回路装置を実現することができる。

【0021】

また、本発明によると、前記電圧出力端子が、前記制御部につながり隣接する前記電圧入力端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記電圧出力端子から出力されるパルス電圧が前記制御部の耐圧を超える場合であっても、前記制御部の耐圧を上げることなく、また、前記電圧入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性を向上した半導体集積回路装置を実現することができる。

【0022】

また、本発明によると、前記電圧出力線または電圧出力端子が、前記制御部につながり隣接する前記電圧入力線または電圧入力端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記所定の電圧が前記制御部の耐圧を超える場合であっても、前記制御部の耐圧を上げることなく、また、前記電圧入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性を向上した半導体集積回路装置を実現することができる。

【0023】

また、本発明によると、前記電圧出力端子が、前記制御部につながり隣接する前記リセット入力端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記所定の電圧が前記制御部の耐圧を超える場合であっても、前記制御部の耐圧を上げることなく、また、前記リセット入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性を向上した半導体集積回路装置を実現することができる。

【0024】

また、本発明によると、前記半導体集積回路装置を用いたスイッチング電源装置にしたので、スイッチングされたパルス電圧が出力される電圧出力端子が半導体集積回路装置の制御部に接続された隣接する端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることが防止でき、前記制御部が電圧破壊されることを防止した信頼性の高いスイッチング電源装置を実現することができる。

【発明を実施するための最良の形態】

【0025】

以下に、本発明の実施形態を図面を参照して説明する。図1は、本発明の第1実施形態のICの構成を概略的に示す回路ブロック図である。図1において、1はICであり、IC1は、電圧出力端子2から外部出力配線2aを介して電圧Voutを外部へ出力する出力部4と、外部入力配線3aから電圧入力端子3を介して外部から与えられる外部入力または出力制御電圧Vcntに基づいて出力部4を制御するとともに信号入力端子24を介して与えられる制御信号S5に基づいて所定の制御を行う制御部7とから構成されている。

【0026】

また、I C 1 の各部の動作電源としての直流電源V d d（電圧は、例えば、5 V）が電源端子2 9を介して与えられている。尚、電圧出力端子2と電圧入力端子3とがI C 1のパッケージの外周部に互いに隣接するように配置されているか、出力配線2 aと入力配線3 aとが途中で隣接するように配置されている。

【0027】

出力部4は、直流電源V d dの電圧よりも高い電圧の直流電源V p p（電圧は、例えば、50 V）と電圧出力端子2との間に接続されたPチャンネル型のM O Sトランジスタ5と、接続端子27を介して外部から与えられる信号に基づいてM O Sトランジスタ5を駆動する駆動回路6とを備え、M O Sトランジスタ5のドレインは直流電源V p pに接続され、ソースは電圧出力端子2に接続され、ゲートは駆動回路6に接続されている。

【0028】

また、制御部7は、制御信号S 5を増幅して内部制御回路26に与えるN P Nトランジスタ25を備え、N P Nトランジスタ25のベースは信号入力端子24に接続され、コレクタは内部制御回路26に接続され、エミッタはグランドに接続されている。そして、制御信号S 5のHレベル／Lレベルに応じてN P Nトランジスタ25がオン／オフすることにより、制御信号S 5が内部制御回路26に伝えられ、それに応じて内部制御回路26は所定の制御を行い、その制御出力は接続端子28を介して外部へ出力される。

【0029】

また、制御部7は、コンパレータ8と基準電圧源9とを備え、コンパレータ8の非反転入力端子（+）は電圧入力端子3に接続され、反転入力端子（-）は基準電圧源9に接続されている。そして、コンパレータ8の出力端子は駆動回路6の入力端子に接続されている。このコンパレータ8は、非反転入力端子（+）に与えられる出力制御電圧V c n tと反転入力端子（-）に与えられている基準電圧V r e f（例えば、2 V）とを比較し、出力制御電圧V c n tが基準電圧V r e fより高い場合は出力をHレベルにし、出力制御電圧V c n tが基準電圧V r e fより低い場合は出力をLレベルにする。また、制御部7の耐圧は、例えば、7 Vに設定されている。尚、図1では電圧入力端子3に入力配線3 aが接続されているが、この入力配線3 aは必ずしも必要ではなく、通常使用時には、電圧入力端子3にコンパレータ8の出力がLレベルとなるような入力電圧が設定されていれば良い。

【0030】

そして、駆動回路6はコンパレータ8の出力をバッファリングしてM O Sトランジスタ5のゲートに出力し、M O Sトランジスタ5を駆動する。即ち、コンパレータ8の出力がHレベルの場合はM O Sトランジスタ5をオフさせ、Lレベルの場合はオンさせる。このとき、電圧出力端子2から出力される電圧V o u tは、M O Sトランジスタ5がオンしているときは直流電源V p pの電圧と略同等の電圧（約50 V）となり、M O Sトランジスタ5がオフしているときは0 Vとなる。

【0031】

このような構成のI C 1において、上述した従来例と同様に、電圧出力端子2と信号入力端子24との間が異物やハンダブリッジ等の導電体80により略短絡状態になろうとしても、間に電圧入力端子3または入力配線3 aが有るので、電圧出力端子2と信号入力端子24との間、または出力配線2 aと制御信号S 5の入力配線との間の短絡はしづらくなる。仮に、電圧出力端子2と電圧入力端子3との間が短絡状態になった場合、または、出力配線2 aと入力配線3 aとが途中で略短絡状態になった場合は、電圧入力端子3を介して制御部7に電圧V o u tが印加されることになるが、電圧入力端子3の電圧、即ち、コンパレータ8の非反転入力端子（+）電圧が基準電圧V r e fより高くなると、コンパレータ8の出力はHレベルとなりM O Sトランジスタ5をオフさせるので、電圧入力端子3に印加される電圧V o u tが基準電圧V r e fを超える電圧になることはない。

【0032】

従って、このような短絡事故が発生した場合であっても制御部7が電圧破壊されることはない。また、このような場合でも、M O Sトランジスタ5がオフすることにより導電体

80や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりIC1を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

【0033】

このように、電圧出力端子2に隣接する位置に電圧入力端子3を配置することにより、端子数は増加するものの、電圧出力端子2と信号入力端子24との距離が大きくなって短絡しにくくなるとともに、例え、電圧出力端子2が隣接する端子と略短絡状態になった場合であっても、その隣接する端子に接続されている制御部7の耐圧を上げることなく、また、その隣接する端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、制御部7を含むIC1が電圧破壊されることを防止でき、IC1の信頼性を向上することができる。

【0034】

図2は、本発明の第2実施形態のICを用いたスイッチング電源装置の構成を示す回路ブロック図である。図2において、30はスイッチング電源装置であり、スイッチング電源装置30は、1チップに集積化されたレギュレータIC31と、レギュレータIC31に外付けされる多数の外付け素子とから構成されている。

【0035】

レギュレータIC31は、外付け素子を接続するための5個の端子と、出力部40と、制御部50とから構成されている。出力部40は、Pチャンネル型のMOSトランジスタ41と、MOSトランジスタ41を駆動する駆動回路42とから構成され、制御部50は、基準電圧源51、誤差増幅器52、PWMコンパレータ53、発振回路54から構成されている。

【0036】

IN端子32には、入力電圧 V_{in} （例えば、50V）が供給され、IN端子32とグランド間には、平滑用のコンデンサC1とノイズカット用のコンデンサC2とが並列に外付けされている。また、入力電圧 V_{in} をMOSトランジスタ41でスイッチングしたパルス電圧 V_{p1s} が出力されるSW端子33には、平滑回路37が外付けされている。この平滑回路37は、コイルL1と、ダイオード（例えば、ショットキーバリアダイオード）D1と、平滑用のコンデンサ（例えば、電解コンデンサ）C4とから構成され、SW端子33にダイオードD1のカソードとコイルL1の一端とが接続され、コイルL1の他端は出力コンデンサC2の一端に接続され、コンデンサC2の他端とダイオードD1のアノードはグランドに接続されている。

【0037】

また、コイルL1の他端は分圧抵抗R1、R2の直列回路を介してグランドに接続され、分圧抵抗R1、R2の接続ノードはINV端子34に接続され、INV端子34はレギュレータIC31内部で誤差増幅器52の反転入力端子（－）に接続されている。そして、誤差増幅器52の非反転入力端子（＋）は基準電圧源51に接続され、誤差増幅器52の出力端子はPWMコンパレータ53の反転入力端子（－）とFB端子35とに接続されている。更に、FB端子35とINV端子34との間には、コンデンサC3と抵抗R3の直列回路から成る遅れ位相補償回路38が外付けされている。

【0038】

また、PWMコンパレータ53の非反転入力端子（＋）は発振回路54の出力端子に接続され、PWMコンパレータ53の出力端子は駆動回路42の入力端子に接続されている。そして、駆動回路42の出力端子はMOSトランジスタ41のゲートに接続され、MOSトランジスタ41のソースはIN端子32に接続され、ドレインはSW端子33に接続されている。また、GND端子36がグランドに接続されて、レギュレータIC31の基準電位が定められている。尚、IC31の各部は入力電圧 V_{in} から生成された入力電圧 V_{in} よりも低い直流電圧（例えば、5V）を動作電源としている。また、制御部50の耐圧は、例えば、7Vに設定されている。

【0039】

次に、スイッチング電源装置 30 の各部の動作について以下に説明する。入力電圧 V_{in} は、MOS トランジスタ 41 のスイッチング動作によりパルス電圧 V_{pls} に変換される。MOS トランジスタ 41 がオン状態のときは、IN 端子 32 から MOS トランジスタ 41 を介してコイル L1 へ電流が流れる。これにより、コイル L1 にエネルギーが蓄えられるとともに、コンデンサ C4 が充電される。一方、MOS トランジスタ 41 がオフ状態のときは、コイル L1 に蓄えられたエネルギーがダイオード D1 により環流させられてコンデンサ C4 が充電される。そして、コンデンサ C4 から出力される電圧が出力電圧 V_o として外部に供給される。

【0040】

また、出力電圧 V_o が分圧抵抗 R1、R2 により分圧された帰還電圧 V_{adj} が、INV 端子 34 を介して誤差増幅器 52 の反転入力端子（－）に入力される。そして、誤差増幅器 52 は、非反転入力端子（＋）に入力される基準電圧 V_{ref} （例えば、2V）と反転入力端子（－）に入力される帰還電圧 V_{adj} との電圧差に基づく誤差信号を出力する。尚、この基準電圧 V_{ref} は、所定の出力電圧 V_o を分圧抵抗 R1、R2 で分圧した帰還電圧 V_{adj} に設定される。

【0041】

誤差増幅器 52 から出力される誤差信号は、PWM コンパレータ 53 の反転入力端子（－）に入力される。また、PWM コンパレータ 53 の非反転入力端子（＋）には、発振回路 54 から一定周波数の三角波が与えられる。そして、この PWM コンパレータ 53 は、反転入力端子（－）電圧と非反転入力端子（＋）電圧とを比較し、非反転入力端子（＋）電圧が反転入力端子（－）電圧より高くなれば H（High）レベル、反転入力端子（－）電圧が非反転入力端子（＋）電圧より高くなれば L（Low）レベルにした PWM 信号を駆動回路 42 に出力する。

【0042】

駆動回路 42 は、PWM コンパレータ 53 からの PWM 信号をバッファリングした出力信号を MOS トランジスタ 41 のゲートに出力し、MOS トランジスタ 41 を駆動する。即ち、PWM 信号が H レベルのときは MOS トランジスタ 41 をオンさせ、L レベルのときは MOS トランジスタ 41 をオフさせる。従って、駆動回路 42 の出力信号は、発振回路 54 の発振周波数と同一周波数のパルス信号となり、そのデューティは誤差増幅器 52 からの誤差信号に基づいて決定される。即ち、出力電圧 V_o が上昇するほど H レベルとなる時間、即ち、MOS トランジスタ 41 がオンとなる時間が長くなり、逆に、出力電圧 V_o が下降するほど L レベルとなる時間、即ち、MOS トランジスタ 41 がオフとなる時間が長くなる。

【0043】

また、スイッチング電源装置 30 の小型化、軽量化を図るために、発振回路 54 の発振周波数を高く設定してスイッチング周波数を高くする場合、制御部 50 内の各制御素子等を周波数特性の良いものにする必要があるが、誤差増幅器 52 を周波数特性の良いものにとすると、回路の発振の問題が生じることがある。そこで、FB 端子 35 と INV 端子 34 との間にコンデンサ C3 と抵抗 R3 との直列回路から成る遅れ位相補償回路 38 を外付けすることにより、誤差増幅器 52 を周波数特性の良いものにしたうえで、スイッチング周波数を高く設定した場合であっても、回路の発振を防止することができる。

【0044】

このようにして、帰還電圧 V_{adj} と基準電圧 V_{ref} とが一致するようにフィードバック動作が行われ PWM 信号のデューティが調整されるので、通常、出力電圧 V_o は所定の電圧に安定的に維持される。また、この回路で INV 端子 34 をパルス電圧 V_{pls} が出力される SW 端子 33 の隣に配置するようにすれば、このようなスイッチング電源装置 30 において、上述した従来例と同様の原因で SW 端子 33 と INV 端子 34 との間が異物やハンダブリッジ等の導電体 80 により略短絡状態になる場合でも、INV 端子 34 にはパルス電圧 V_{pls} が印加されることになり、上述のフィードバック動作によって、INV 端子 34 の電圧、即ち、誤差増幅器 52 の反転入力端子（－）の電圧と基準電圧 V_r

e f とが一致するようにM O S トランジスタ41のデューティが即座に調整されるので、I N V 端子34に印加されるパルス電圧V p l s が基準電圧V r e f を超える電圧になることはない。

【0045】

従って、このような短絡事故が発生した場合であっても制御部50が電圧破壊されることはない。また、このような場合でも、導電体80や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりI C 31を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

【0046】

このように、S W 端子33に隣接する位置にI N V 端子34を配置することにより、S W 端33が隣接する端子と略短絡状態になった場合であっても、その隣接する端子に接続されている制御部50の耐圧を上げることなく、また、その隣接する端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、制御部50を含むレギュレータI C 31が電圧破壊されることを防止でき、レギュレータI C 31及びスイッチング電源装置30の信頼性を向上することができる。

【0047】

図3は、本発明の第3実施形態のI C の構成を概略的に示す回路ブロック図である。図3において、10はI C であり、I C 10はI C 10の各部の動作電源としての直流電源V d d（電圧は、例えば、5V）に接続されている電源端子39と、直流電源V d dの電圧よりも高い電圧の別の直流電源V p p（電圧は、例えば、50V）に接続されている電源端子11と、外部出力配線12aを通じて電圧V o u t が出力される電圧出力端子12と、外部入力配線13aを通じて制御信号S1が与えられる信号入力端子13と、電源端子11と電圧出力端子12との間に設けられている出力部14と、制御信号S1に基づいてI C 10の機能を実現するための所定の制御を行うとともに駆動回路16を制御する制御部17と、電圧検出部22とから構成されている。尚、電圧出力端子12と信号入力端子13とがI C 10のパッケージの外周部に互いに隣接するように配置されているか、出力配線12aと入力配線13aとが途中で隣接するように配置されている。また、制御部17の耐圧は、例えば、7Vに設定されている。

【0048】

出力部14は、Pチャンネル型のM O S トランジスタ15と、M O S トランジスタ15を駆動するための駆動信号を生成する駆動回路16と、ナンドゲート21とから構成されており、M O S トランジスタ15のドレインは電源端子11に接続され、ソースは電圧出力端子12に接続され、ゲートはナンドゲート21の出力端子に接続されている。そして、ナンドゲート21の一方の入力端子は駆動回路16に接続され、他方の入力端子は電圧検出部22のコンパレータ18の出力端子に接続されている。

【0049】

また、電圧検出部22は、コンパレータ18と基準電圧源19とを備えており、コンパレータ18の非反転入力端子（+）は信号入力端子13に接続され、反転入力端子（-）は基準電圧源19に接続されている。そして、コンパレータ18の出力端子はナンドゲート21の前記他方の入力端子に接続されている。コンパレータ18は、反転入力端子（-）に与えられる信号入力端子13の電圧V s i g と非反転入力端子（+）に与えられている基準電圧V r e f（例えば、2V）とを比較し、電圧V s i g が基準電圧V r e f より高い場合は出力をHレベルにし、電圧V s i g が基準電圧V r e f より低い場合はLレベルとする。そして、電圧V s i g が基準電圧V r e f より高い場合のHレベルの出力が電圧検出信号としてナンドゲート21に与えられる。

【0050】

そして、ナンドゲート21はコンパレータ18の出力と駆動回路16からの駆動信号との論理積をとり、それを内部で反転した出力信号をM O S トランジスタ15のゲートに出力してM O S トランジスタ15を駆動する。即ち、コンパレータ18の出力がHレベルの場合は駆動回路16からの駆動信号の電圧レベルに応じた出力信号を出力してM O S トラ

ンジスタ15をオン／オフし、コンパレータ18の出力がLレベルの場合は駆動回路16からの駆動信号の電圧レベルに拘わらず、Hレベルの信号を出力してMOSトランジスタ15をオフさせる。このとき、電圧出力端子12から出力される電圧 V_{out} は、MOSトランジスタ15がオンしているときは直流電源 V_{dd} の電圧と略同等の電圧（約50V）となり、MOSトランジスタ15がオフしているときは0Vとなる。

【0051】

このような構成のIC10は、通常は、制御部17の出力に従って、MOSトランジスタ15をオン／オフさせるように動作する。一方、上述した従来例と同様に電圧出力端子12と信号入力端子13との間が異物やハンダブリッジ等の導電体80により略短絡状態になった場合、または、出力配線12aと入力配線13aとが途中で略短絡状態になった場合は、信号入力端子13を介して制御部17に電圧 V_{out} が印加されることになる。この時、信号入力端子13の電圧 V_{sig} 、即ち、コンパレータ18の反転入力端子（一）電圧が基準電圧 V_{ref} より高くなると、コンパレータ18の出力はLレベルとなりMOSトランジスタ15をオフさせるので、信号入力端子13に印加される電圧 V_{out} が基準電圧 V_{ref} を超える電圧になることはない。

【0052】

このようにすることにより、制御部17の耐圧を上げることなく、また、信号入力端子13に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、通常、制御部17の耐圧を超える電圧が出力される電圧出力端子12が、隣接する信号入力端子13と略短絡状態になった場合であっても、制御部17が電圧破壊されることを防止でき、IC10の信頼性を向上することができる。また、このような場合でも、導電体80や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりIC10を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

【0053】

また、図3に示す電圧検出回路22は、図4に示すような回路で実現することができる。図4は、電圧検出回路22の具体的回路の一例を示す回路図である。図4において、図3と同一の部分には同一の符号を付し、その説明を省略する。図4に示す電圧検出回路22は、ダイオードD11、D12と、カレントミラー回路23と、内部制御電源 V_{cc} と、抵抗R11とから構成されている。

【0054】

カレントミラー回路23は、互いのベースが接続されるとともに、互いのエミッタがともにグランドに接続された一対のNPNトランジスタQ1、Q2から成っており、NPNトランジスタQ1のコレクタはそのベースに接続されるとともにダイオードD12のカソードに接続され、ダイオードD12のアノードはダイオードD11のカソードに、ダイオードD11のアノードは信号入力端子13に接続されている。

【0055】

また、NPNトランジスタQ2のコレクタは抵抗R11を介して内部制御電源 V_{cc} に接続され、抵抗R11とNPNトランジスタQ2との接続ノード、即ち、NPNトランジスタQ2のコレクタの電圧がナンドゲート21の入力端子に与えられる。尚、内部制御電源 V_{cc} は論理ゲートを駆動するレベルの電圧を与える直流電源である。

【0056】

次に、このような構成の電圧検出部22の動作を説明する。信号入力端子13の電圧 V_{sig} がダイオードD11、D12の順方向電圧とNPNトランジスタQ1のベース－エミッタ間電圧とを加算した電圧（例えば、2V）よりも高くなると、NPNトランジスタQ1がオンしNPNトランジスタQ1には所定のコレクタ電流が流れる。そして、このコレクタ電流はNPNトランジスタQ2にミラーされて、NPNトランジスタQ2にも同等のコレクタ電流が流れる。このとき、NPNトランジスタQ2のコレクタの電圧はグランドレベル、即ち、Lレベルの電圧となる。

【0057】

一方、電圧 V_{sig} がダイオードD11、D12の順方向電圧とNPNトランジスタQ

1のベースエミッタ間電圧とを加算した電圧よりも低い場合は、NPNトランジスタQ1はオフとなり、NPNトランジスタQ2もオフとなる。このとき、NPNトランジスタQ2のコレクタの電圧は内部制御電源Vccの電圧、即ち、Hレベルの電圧となる。

【0058】

このようにして、信号入力端子13の電圧Vsigに応じてNPNトランジスタQ2のコレクタの電圧を変化させることができ、この電圧を電圧検出信号とすることにより、簡単な構成で信号入力端子13の電圧Vsigが基準電圧（本例では、2V）より高くなったことを検出することができる。

【0059】

図5は、本発明の第4実施形態のICの構成を概略的に示す回路ブロック図である。図5において、60はICであり、IC60は、IC60の各部の動作電源としての直流電源Vdd（電圧は、例えば、5V）に接続されている電源端子59と、直流電源Vddの電圧よりも高い電圧の別の直流電源Vpp（電圧は、例えば、50V）に接続されている電源端子61と、外部出力配線62aを通じて電圧Voutが出力される電圧出力端子62と、電源端子61と電圧出力端子62との間に設けられている出力部64と、外部のマイコン72からの出力制御信号S2が与えられる出力制御端子70とを備えている。

【0060】

出力部64は、Pチャンネル型のMOSトランジスタ65と、MOSトランジスタ65を駆動する駆動回路66とから構成され、MOSトランジスタ65のドレインは電源端子61に接続され、ソースは電圧出力端子62に接続され、ゲートは駆動回路66の出力端子に接続されている。そして、駆動回路66の入力端子は出力制御端子70に接続されている。

【0061】

そして、駆動回路66は出力制御端子70を介して与えられるマイコン72からの出力制御信号S2をバッファリングしてMOSトランジスタ65のゲートに出力し、MOSトランジスタ65を駆動する。即ち、出力制御信号S2がHレベルの場合はMOSトランジスタ65をオフさせ、Lレベルの場合はオンさせる。このとき、電圧出力端子62から出力される電圧Voutは、MOSトランジスタ65がオンしているときは直流電源Vppの電圧と略同等の電圧（約50V）となり、MOSトランジスタ65がオフしているときは0Vとなる。

【0062】

また、IC60は、外部入力配線63aを通じてリセット入力信号S3が与えられるリセット入力端子63と、リセット入力信号S3を受けてリセット出力信号S4を生成するとともに信号入力端子73を介して与えられる制御信号S6に基づいて駆動回路66を制御する制御部67と、リセット出力信号S4をマイコン72に出力するリセット出力端子71とを備えている。尚、リセット入力端子63は、IC60のパッケージの外周部で電圧出力端子62と隣接するように配置するか、出力配線62aと入力配線63aとが途中で隣接するように配置する。また、制御部67の耐圧は、例えば、7Vに設定されている。

【0063】

制御部67は、信号入力端子73に接続された内部制御回路74を備え、内部制御回路74は制御信号S6に応じて駆動回路66にHレベル／Lレベルの信号を与えることによりMOSトランジスタ65をオン／オフ制御している。また、制御部67は、コンパレータ68と基準電圧源69とを備えており、コンパレータ68の非反転入力端子（+）はリセット入力端子63に接続され、反転入力端子（-）は基準電圧源69に接続されている。そして、コンパレータ68の出力端子はリセット出力端子71に接続されている。このコンパレータ68は、非反転入力端子（+）に与えられるリセット入力信号S3の電圧Vresと反転入力端子（-）に与えられている基準電圧Vref（例えば、2V）とを比較し、電圧Vresが基準電圧Vrefより高い場合は出力をHレベルにし、電圧Vresが基準電圧Vrefより低い場合は出力をLレベルにする。

【0064】

そして、リセット入力信号S3の電圧V_{res}が基準電圧V_{ref}より高い場合に、コンパレータ68のHレベルの出力がリセット出力信号S4としてリセット出力端子71を介してマイコン72に与えられ、リセット出力信号S4が与えられたマイコン72はリセット動作を行い、出力制御信号S2の出力動作を停止する。このようにリセット入力信号S3の電圧を確認してマイコン72をリセットすることにより、リセット入力端子63にノイズ等の電圧が印加された場合に誤ってマイコン72をリセットすることを防止している。また、リセット入力端子63を電圧出力端子62に隣接させることにより、誤って、電圧出力端子62の電圧が隣接する端子とショートした時に、積極的にマイコン72をリセットさせるとともに、MOSトランジスタ65をオフさせることにより、異常状態の継続を防止することができる。

【0065】

即ち、このような構成をしているので、上述した従来例と同様に電圧出力端子62とリセット入力端子63との間が異物やハンダブリッジ等の導電体80により略短絡状態になった場合、または、出力配線62aと入力配線63aとが途中で略短絡状態になった場合、リセット入力端子63を介して制御部67に電圧V_{out}が印加されることになるが、リセット入力端子63の電圧、即ち、コンパレータ68の非反転入力端子(+)電圧が基準電圧V_{ref}より高くなると、コンパレータ68の出力はHレベルとなりマイコン72がリセットされる。そして、出力制御信号S2が出力されなくなり、MOSトランジスタ65がオフになるので、リセット入力端子63に印加される電圧V_{out}が基準電圧V_{ref}を超える電圧になることはない。

【0066】

従って、このような短絡事故が発生した場合であっても制御部67が電圧破壊されることはない。また、このような場合でも、導電体80や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりIC60を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

【0067】

このように、電圧出力端子62に隣接する位置にリセット入力端子63を配置することにより、電圧出力端子62が隣接する端子と略短絡状態になった場合であっても、その隣接する端子に接続されている制御部67の耐圧を上げることなく、また、その隣接する端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、制御部67を含むIC60が電圧破壊されることを防止でき、IC60の信頼性を向上することができる。

【0068】

尚、本発明は上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において各部の構成等を適宜に変更して実施することも可能である。例えば、上述の各実施形態では、直流電源からの電圧をオン／オフするスイッチ素子としてPチャンネル型のMOSトランジスタを使用した例を示したが、Nチャンネル型のMOSトランジスタやバイポーラ型トランジスタで構成することも可能である。また、出力MOSトランジスタがIC内にある場合のみを説明したが、単体の出力MOSトランジスタであって、その出力端子に、出力トランジスタの制御入力につながって出力MOSトランジスタをオフさせるような入力信号がつながる入力端子を隣接させるようにしても良い。また、比較器にヒステリシス特性を設けたり、ロジック回路的に、一旦、出力トランジスタをオフすると電源が再投入されるまで、出力トランジスタをオンできないようにしても良い。

【産業上の利用可能性】

【0069】

以上説明したように、本発明によれば、電圧出力端子を介して所定の電圧を出力する半導体集積回路装置及びそれを用いたスイッチング電源装置において、前記電圧出力端子が制御部に接続された隣接する端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されないようにして前記制御部が電圧破壊されることを防止できるので、半導体集積回路装置及びそれを用いたスイッチング電源装置のコスト

を増大させることなく信頼性を向上することができる。このような信頼性を向上した半導体集積回路装置及びそれを用いたスイッチング電源装置は、特に、高い信頼性を要求される自動車の車載用電子機器への利用が有効である。

【図面の簡単な説明】

【0070】

【図1】は、本発明の第1実施形態のIC（半導体集積回路装置）の構成を示す回路ブロック図である。

【図2】は、本発明の第2実施形態のレギュレータIC（半導体集積回路装置）の構成を示す回路ブロック図である。

【図3】は、本発明の第3実施形態のIC（半導体集積回路装置）の構成を示す回路ブロック図である。

【図4】は、図3に示す電圧検出部の具体的回路の一例を示す回路図である。

【図5】は、本発明の第4実施形態のIC（半導体集積回路装置）の構成を示す回路ブロック図である。

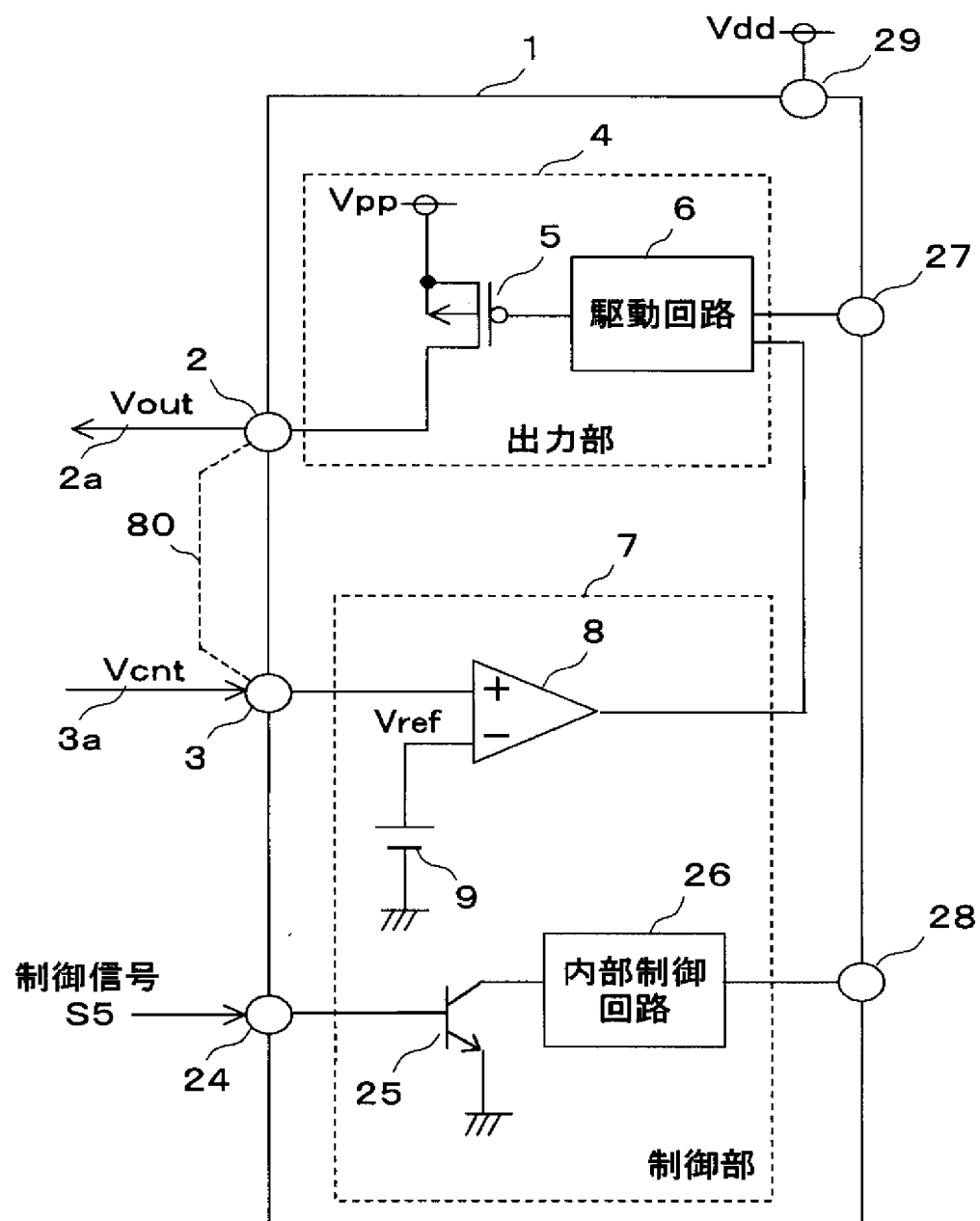
【図6】は、従来のIC（半導体集積回路装置）の構成を示す回路ブロック図である。

【符号の説明】

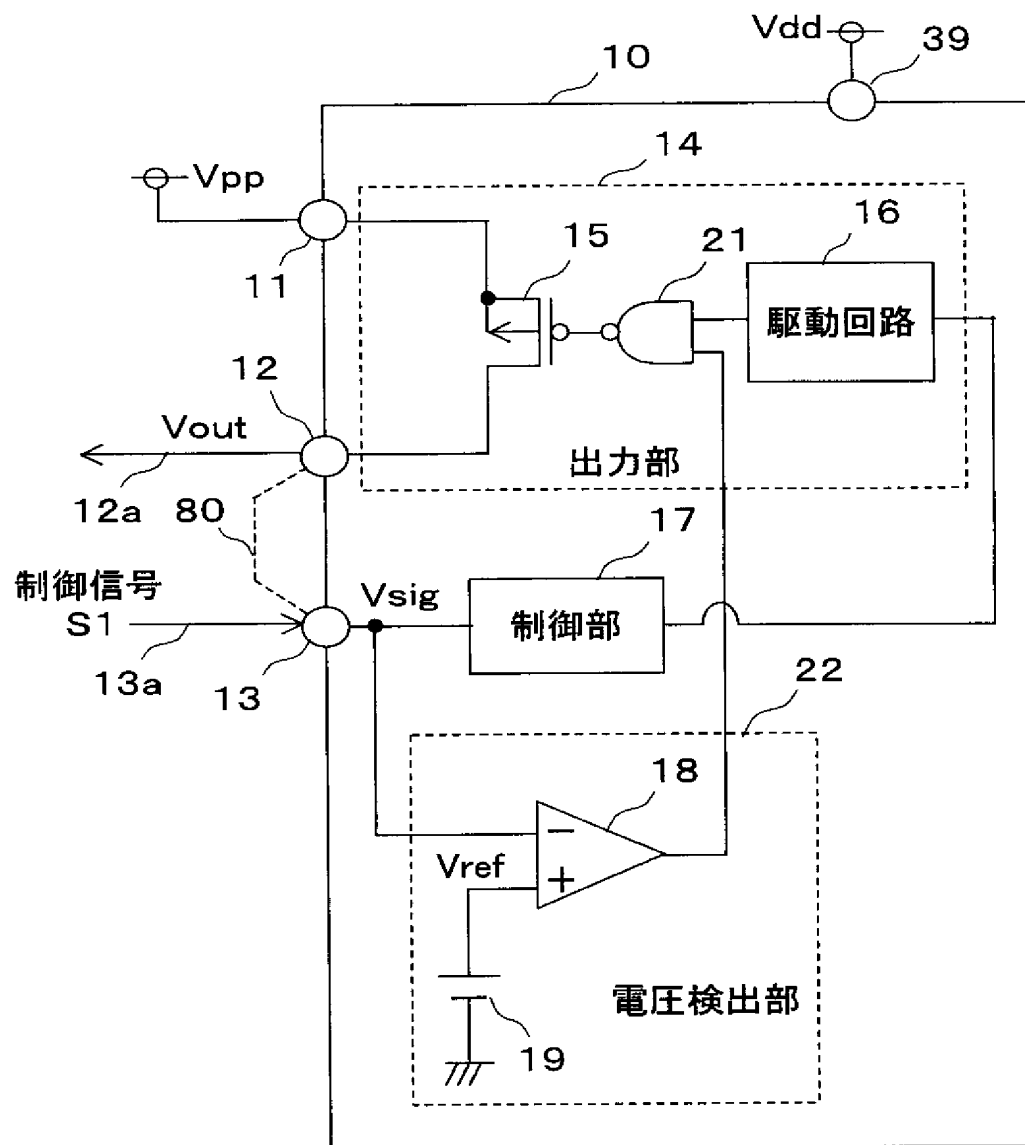
【0071】

- 1、10、60 IC（半導体集積回路装置）
- 2、12、62 電圧出力端子
- 2a、12a、62a 出力配線
- 3 電圧入力端子
- 3a、13a、63a 入力配線
- 4、14、40、64 出力部
- 5、15、41、65 MOSトランジスタ（スイッチ素子）
- 6、16、42、66 駆動回路
- 7、17、50、67 制御部（入力回路）
- 8、18、68 コンパレータ
- 9、19、51、69 基準電圧源
- 11、29、39、59、61 電源端子
- 13、24、73 信号入力端子
- 21 ナンドゲート（論理ゲート）
- 22 電圧検出部
- 23 カレントミラー回路
- 25 NPNトランジスタ
- 26、74 内部制御回路
- 27、28 接続端子
- 30 スwitchング電源装置
- 31 レギュレータIC（半導体集積回路装置）
- 32 IN端子
- 33 SW端子（電圧出力端子）
- 34 INV端子（電圧入力端子）
- 35 FB端子
- 36 GND端子
- 37 平滑回路
- 38 遅れ位相補償回路
- 52 誤差増幅器
- 53 PWMコンパレータ
- 54 発振回路
- 63 リセット入力端子

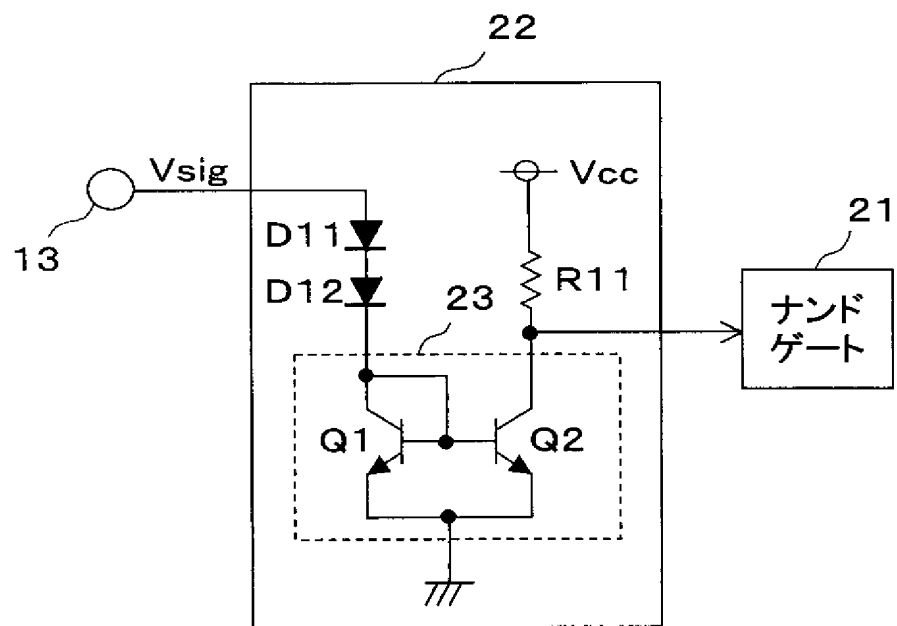
7 0 出力制御端子
7 1 リセット出力端子
7 2 マイコン（外部制御装置）
C 1、C 2、C 3、C 4 コンデンサ
D 1、D 1 1、D 1 2 ダイオード
L 1 コイル
R 1、R 2、R 3、R 1 1 分圧抵抗
Q 1、Q 2 N P Nトランジスタ
V c c 内部制御電源
V d d 直流電源（第 1 の電源電圧）
V p p 直流電源（第 2 の電源電圧）
V r e f 基準電圧



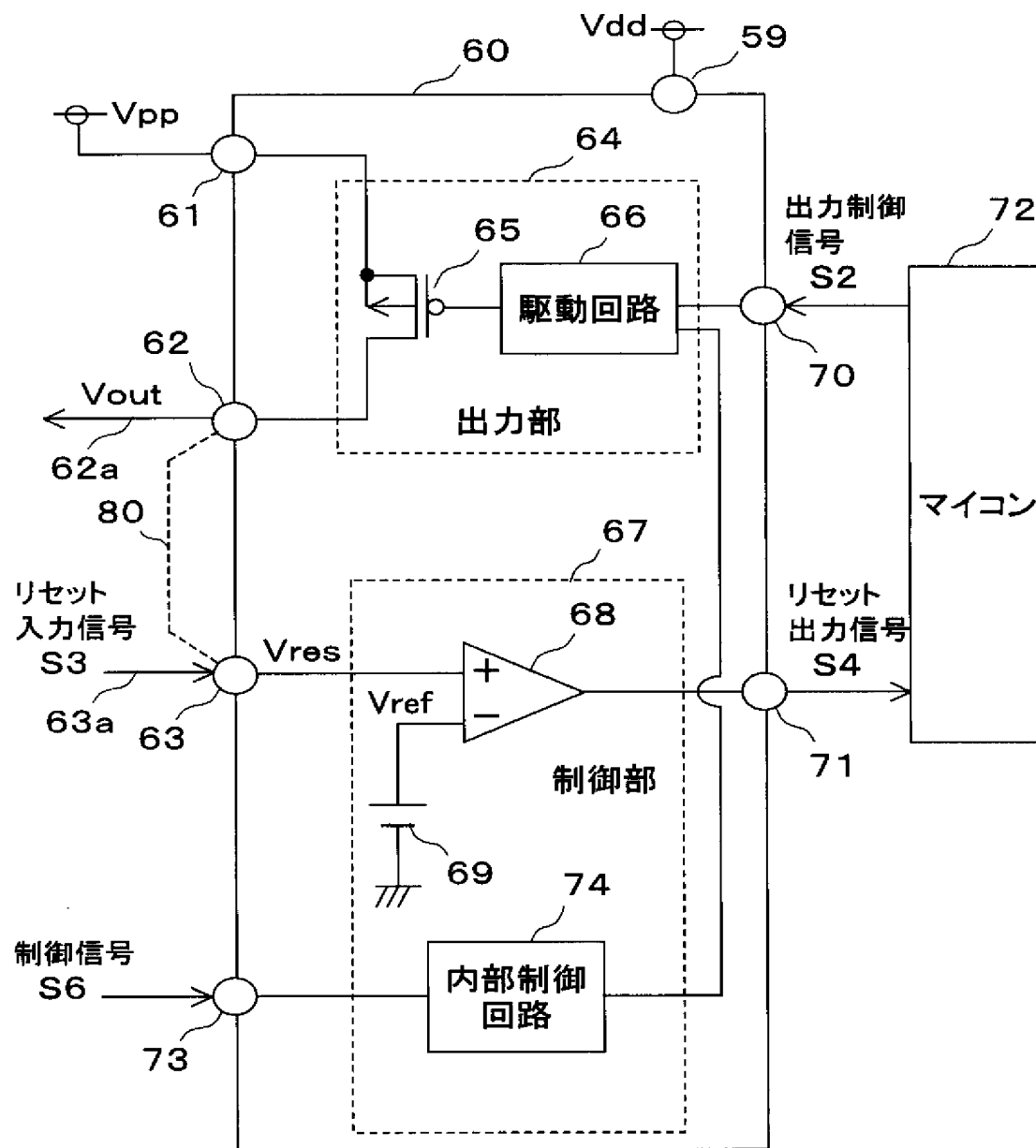
【図 3】



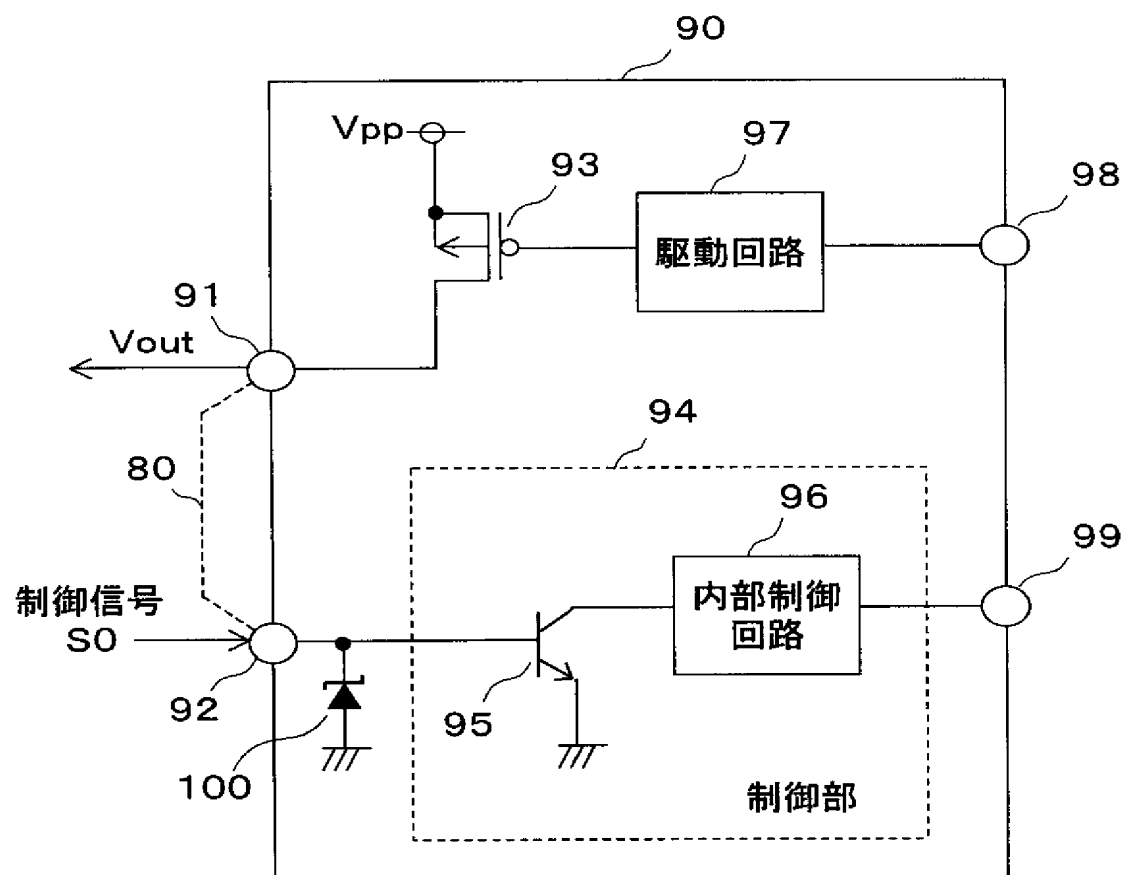
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 スイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する半導体集積回路装置であって、前記電圧出力端子が隣接する端子と短絡した場合であっても破壊されることのない信頼性の高い半導体集積回路装置を提供する。

【解決手段】 直流電源 V_{dd} で動作し、直流電源 V_{dd} の電圧よりも高い電圧の直流電源 V_{pp} と電圧出力端子 2 との間に接続された MOS トランジスタ 15 をオン／オフして電圧 V_{out} を出力する出力部 14 と、電圧入力端子 13 を介して与えられる制御信号 S_1 に基づいて所定の制御を行う制御部 17 とを備える IC（半導体集積回路装置）10 において、電圧入力端子 13 の電圧 V_{sig} が基準電圧 V_{ref} よりも高いことを検出し検出信号を出力部 14 に与える電圧検出部 22 を設け、出力部 14 は電圧出力部 22 からの検出信号が与えられたときには MOS トランジスタ 15 をオフするようにする。

【選択図】 図 3

出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社